



ZFM32F030 系列

32 位微控制器数据手册

V1.00



扫码索取样片：



版本记录

版本	日期	更改者	描述
V1.00			第一版



扫码索取样片:



目录

目录

1	简介	1
1.1	概述.....	1
1.2	主要特点.....	1
2	管脚描述	3
2.1	TSSOP20 封装管脚排布图.....	3
2.2	QFN32 封装管脚排布图.....	3
2.3	管脚定义表.....	4
2.4	管脚对应外设表.....	7
3	系统框图	9
4	系统描述	10
4.1	ARM Cortex®-M0 内核.....	10
4.2	内存映射.....	11
4.3	嵌套向量中断控制器(NVIC).....	13
4.4	系统复位.....	14
4.5	时钟控制.....	14
4.6	I/O 复用配置.....	15
5	外设描述	16
5.1	GPIO(通用输入/输出接口).....	16
5.2	UART(通用异步收发器).....	16
5.3	I2C 总线.....	16
5.4	SPI(串行外设接口).....	16
5.5	TIM(定时/计数器).....	17
5.6	PWM(脉冲宽度调制)模块.....	17
5.7	WDT(看门狗定时器).....	17
5.8	ADC(模拟/数字转换器).....	17
5.9	TSC(触摸感应控制器).....	18
5.10	存储器.....	19
5.11	电源管理.....	19
5.11.1	睡眠模式.....	19
5.11.2	停止模式.....	19
5.12	SWD 调试口.....	20
6	电气规范	21
6.1	绝对最大额定值.....	21
6.2	电特性表.....	21
6.2.1	MCU 参数.....	21
6.2.2	BOD 参数.....	22
6.2.3	ADC 参数.....	22
6.2.4	Flash 参数.....	23
6.2.5	SPI 参数.....	23
6.2.6	I2C 参数.....	25
7	封装尺寸	26
7.1	TSSOP20 封装.....	26
7.2	QFN32 封装.....	27



扫码索取样片：



1 简介

1.1 概述

ZFM32F030 系列是内嵌 ARM Cortex[®]-M0 核的 32 位低成本通用微控制器。最高频率可达 48MHz，片内集成 32KB Flash 存储器，4KB SRAM 存储器。

ZFM32F030 系列控制器的外设包括：2 个 UART 串口，1 个 I2C 总线接口，1 个 SPI 接口，4 个定时/计数器，1 个 6 通道 PWM，1 个看门狗定时器（WDT），1 个高速 12 位 ADC，1 个 8 通道触摸感应控制器（TSC）和最多 27 个 GPIO。

1.2 主要特点

- **高性能 32 位 ARM CPU 内核**
 - 高达 48MHz 的 ARM Cortex[®]-M0 处理器
 - 单周期 32 位硬件乘法器
 - 灵活的 NVIC 中断
- **存储器**
 - 最大 32KB Flash
 - 4KB 高速 SRAM
- **16 位 PWM**
 - 最多 3 对互补，6 路独立通道输出
 - 输出自动死区插入
 - 基于硬件的故障保护系统
- **内嵌系统引导程序（bootloader）**
 - 2KB boot 引导程序区
- **灵活的时钟单元**
 - 内置 48MHz 精度 1% 的内部高速振荡器
 - 内置 32KHz 看门狗振荡器
- **定时器**
 - 2 个基本定时器和 2 个通用定时器
 - 基本定时器支持匹配中断功能
 - 通用定时器支持匹配和捕获中断功能
- 通用定时器支持边沿计数，门控计数，AB 相正交计数，触发计数，符号计数功能
- **模拟外设**
 - 最多 8 通道的 12 位 1MHz ADC
 - 支持软件，定时器匹配/捕获和 PWM 重载触发 A/D 转换
 - 支持 8 通道触摸感应控制器（TSC）
- **丰富的通信接口**
 - 2 个 UART 串口，支持 16 字节 FIFO
 - 1 个 SPI 接口，速度可单独配置
 - 1 个 I2C 总线接口
- **通用输入/输出端口（GPIO）**
 - 最多 27 个通用输入/输出管脚
- **支持 SWD 在线调试**
- **电源管理**
 - 两种低功耗模式：睡眠模式，停止模式
 - 通过配置 8 个管脚端口，可将处理器从停止模式中唤醒
 - 支持掉电检测（BOD）。两组监测点可分别产生欠压中断和强制复位
 - 支持上电复位（POR）



扫码索取样片：



-
- 集成的电源管理单元（PMU）
 - **工作温度范围**
 - 工业级（-40℃~+105℃）
 - **工作电压范围**
 - 宽电压 2.7V~5.5V
 - **封装形式**
 - TSSOP20, QFN32



扫码索取样片：



2 管脚描述

2.1 TSSOP20 封装管脚排布图

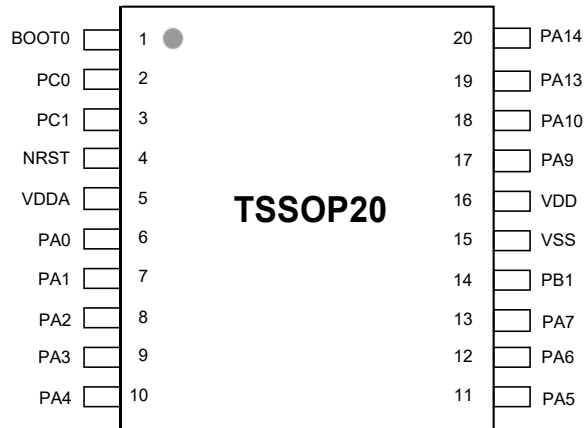


图 2-1 TSSOP20 封装管脚排布图

2.2 QFN32 封装管脚排布图

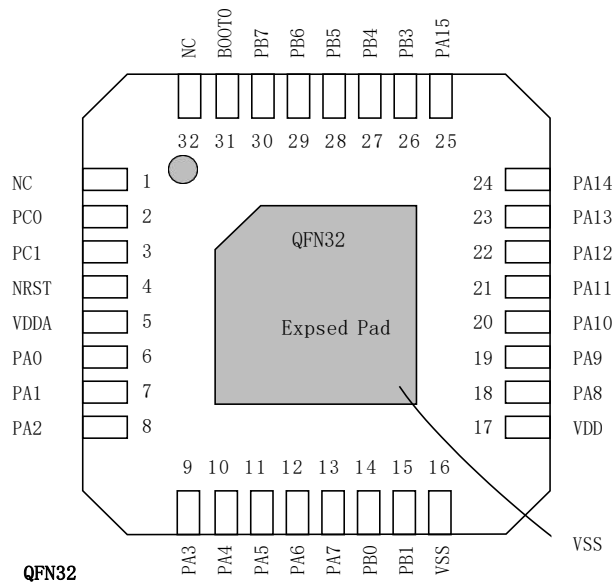


图 2-2 QFN32 封装管脚排布图



2.3 管脚定义表

表 2-1 管脚定义表

TSSOP20	QFN32	IO	唤醒输入	管脚类型	描述
-	1	NC		S	悬空
2	2	PC0		I/O	PC0—通用数字 IO 管脚
3	3	PC1		I/O	PC1—通用数字 IO 管脚
4	4	NRST		I	NRST—RESET 管脚
				I/O	PC2—通用数字 IO 管脚
5	5	VDDA		S	模拟电源
6	6	PA0	●	I/O	PA0—通用数字 IO 管脚
				I	ADC_IN0—ADC 输入通道 0
7	7	PA1	●	I/O	PA1—通用数字 IO 管脚
				I	ADC_IN1—ADC 输入通道 1
8	8	PA2	●	I/O	PA2—通用数字 IO 管脚
				I	TIM3_CAPO—捕捉输入管脚, 通道 0, 定时器 3
				O	TIM3_MAT0—匹配输出管脚, 通道 0, 定时器 3
				O	TXD1—UART1 TX 输出管脚
				I	ADC_IN2—ADC 输入通道 2
9	9	PA3	●	I/O	PA3—通用数字 IO 管脚
				I	TIM3_CAP1—捕捉输入管脚, 通道 1, 定时器 3
				O	TIM3_MAT1—匹配输出管脚, 通道 1, 定时器 3
				I	RXD1—UART1 RX 输入管脚
				I	ADC_IN3—ADC 输入通道 3
10	10	PA4	●	I/O	PA4—通用数字 IO 管脚
				I	TIM3_CAP2—捕捉输入管脚, 通道 2, 定时器 3
				O	TIM3_MAT2—匹配输出管脚, 通道 2, 定时器 3
				I/O	SPI_SSEL—SPI 芯片选择信号
				I	ADC_IN4—ADC 输入通道 4
11	11	PA5	●	I/O	PA5—通用数字 IO 管脚
				I/O	SPI_SCK—SPI 时钟信号
				I	ADC_IN5—ADC 输入通道 5
12	12	PA6	●	I/O	PA6—通用数字 IO 管脚
				I	PWM_FAULT—PWM 故障输入
				I	TIM2_CAPO—捕捉输入管脚, 通道 0, 定时器 2
				O	TIM2_MAT0—匹配输出管脚, 通道 0, 定时器 2
				I/O	SPI_MISO—SPI 主机输入从机输出管



				I	ADC_IN6—ADC 输入通道 6
			●	I/O	PA7—通用数字 IO 管脚
				0	PWM_OUT2—PWM 输出管脚通道 1
				I	TIM2_CAP1—捕捉输入管脚, 通道 1, 定时器 2
				0	TIM2_MAT1—匹配输出管脚, 通道 1, 定时器 2
				I/O	SPI_MOSI—SPI 主机输出从机输入管脚
				I	ADC_IN7—ADC 输入通道 7
				I/O	PB0—通用数字 IO 管脚
				0	PWM_OUT4—PWM 输出管脚通道 3
				I	TIM2_CAP2—捕捉输入管脚, 通道 2, 定时器 2
				0	TIM2_MAT2—匹配输出管脚, 通道 2, 定时器 2
				I/O	PB1—通用数字 IO 管脚.
				0	PWM_OUT6—PWM 输出管脚通道 5
				I	TIM2_CAP3—捕捉输入管脚, 通道 3, 定时器 2
				0	TIM2_MAT3—匹配输出管脚, 通道 3, 定时器 2
14	15	PB1			
15	16	VSS		S	地
16	17	VDD		S	数字电源
				I/O	PA8—通用数字 IO 管脚
				0	PWM_OUT1—PWM 输出管脚通道 0
				I	TIM3_CAP3—捕捉输入管脚, 通道 3, 定时器 3
				0	TIM3_MAT3—匹配输出管脚, 通道 3, 定时器 3
				0	CLKOUT—内部时钟输出
				I/O	PA9—通用数字 IO 管脚
				0	PWM_OUT3—PWM 输出管脚通道 2
				0	TXD1—UART1 TXD 输出管脚
				I/O	I2C_SCL—I2C 串行时钟管脚
				I/O	PA10—通用数字 IO 管脚
				0	PWM_OUT5—PWM 输出管脚通道 4
				I	RXD1—UART1 RXD 输入管脚
				I/O	I2C_SDA—I2C 串行数据管脚
				I/O	PA11—通用数字 IO 管脚
				I	TIM2_CAP2—捕捉输入管脚, 通道 2, 定时器 2
				0	TIM2_MAT2—匹配输出管脚, 通道 2, 定时器 2
				I/O	PA12—通用数字 IO 管脚
				I/O	SWDIO—调试数据管脚
19	23	PA13		I/O	PA13—通用数字 IO 管脚
20	24	PA14		I/O	SWCLK—调试时钟管脚



			I/O	PA14—通用数字 IO 管脚
			0	TXD2—UART2 TX 输出管脚
-	25	PA15	I/O	PA15—通用数字 IO 管脚
			I/O	SPI_SSEL—SPI 芯片选择管脚
			I	RXD2—UART2 RX 输入管脚
-	26	PB3	I/O	PB3—通用数字 IO 管脚
			I/O	SPI_SCK—SPI 串行时钟管脚
-	27	PB4	I/O	PB4—通用数字 IO 管脚
			I/O	SPI_MISO—SPI 主机输入从机输出管脚
			I	TIM2_CAPO—捕捉输入管脚，通道 0，定时器 2
			0	TIM2_MAT0—匹配输出管脚，通道 0，定时器 2
-	28	PB5	I/O	PB5—通用数字 IO 管脚
			I/O	SPI_MOSI—SPI 主机输出从机输入管脚
			I	TIM2_CAP1—捕捉输入管脚，通道 1，定时器 2
			0	TIM2_MAT1—匹配输出管脚，通道 1，定时器 2
-	29	PB6	I/O	PB6—通用数字 IO 管脚
			I/O	I2C_SCL—I2C 串行时钟管脚
			0	TXD2—UART2 TX 输出管脚
			I	TIM3_CAPO—捕捉输入管脚，通道 0，定时器 3
			0	TIM3_MAT0—匹配输出管脚，通道 0，定时器 3
-	30	PB7	I/O	PB7—通用数字 IO 管脚
			I/O	I2C_SDA—I2C 串行数据管脚
			I	RXD2—UART2 RX 输入管脚
			I	TIM3_CAP1—捕捉输入管脚，通道 1，定时器 3
			0	TIM3_MAT1—匹配输出管脚，通道 1，定时器 3
1	31	BOOT0 ⁽¹⁾	I	BOOT0—Boot 启动选择
			I/O	PB2—通用数字 IO 管脚
-	32	NC	S	悬空

注：（1）MCU 正常工作时，保证 Boot 脚上为低电平。



2.4 管脚对应外设表

使用 MCU 外设，需找到相应的管脚并通过 IOCONFIG 寄存器设置管脚的功能。系统复位时，主 SWD 调试端口和 RESET 复位功能是默认设置，所有其他的管脚被设定为数字 GPIO。

表 2-2 管脚对应外设表

外设	功能名称	TSSOP20	QFN32	管脚类型	可选管脚	
ADC	ADC_IN0	√	√	I	PA0	
	ADC_IN1	√	√	I	PA1	
	ADC_IN2	√	√	I	PA2	
	ADC_IN3	√	√	I	PA3	
	ADC_IN4	√	√	I	PA4	
	ADC_IN5	√	√	I	PA5	
	ADC_IN6	√	√	I	PA6	
	ADC_IN7	√	√	I	PA7	
TIM2	TIM2_CAP0	√	√	I	PA6	PB4
	TIM2_CAP1	√	√	I	PA7	PB5
	TIM2_CAP2		√	I	PB0	PA11
	TIM2_CAP3	√	√	I	PB1	
	TIM2_MAT0	√	√	O	PA6	PB4
	TIM2_MAT1	√	√	O	PA7	PB5
	TIM2_MAT2		√	O	PB0	PA11
	TIM2_MAT3	√	√	O	PB1	
TIM3	TIM3_CAP0	√	√	I	PA2	PB6
	TIM3_CAP1	√	√	I	PA3	PB7
	TIM3_CAP2	√	√	I	PA4	PB8
	TIM3_CAP3		√	I	PA8	
	TIM3_MAT0	√	√	O	PA2	PB6
	TIM3_MAT1	√	√	O	PA3	PB7
	TIM3_MAT2	√	√	O	PA4	PB8
	TIM3_MAT3		√	O	PA8	
PWM	PWM_OUT1		√	O	PA8	
	PWM_OUT2	√	√	O	PA7	
	PWM_OUT3	√	√	O	PA9	
	PWM_OUT4		√	O	PB0	
	PWM_OUT5	√	√	O	PA10	



扫码索取样片:



	PWM_OUT6	√	√	O	PB1	
	PWM_FAULT	√	√	I	PA6	
UART1	RXD1	√	√	I	PA3	PA10
	TXD1	√	√	O	PA2	PA9
UART2	RXD2		√	I	PA15	PB7
	TXD2	√	√	O	PA14	PB6
SPI	SSEL	√	√	I/O	PA4	PA15
	SCK	√	√	I/O	PA5	PB3
	MISO	√	√	I/O	PA6	PB4
	MOSI	√	√	I/O	PA7	PB5
I ² C	SCL	√	√	I/O	PA9	PB6
	SDA	√	√	I/O	PA10	PB7
SWD	SWCLK	√	√	I	PA14	
	SWDIO	√	√	I/O	PA13	



扫码索取样片:



3 系统框图

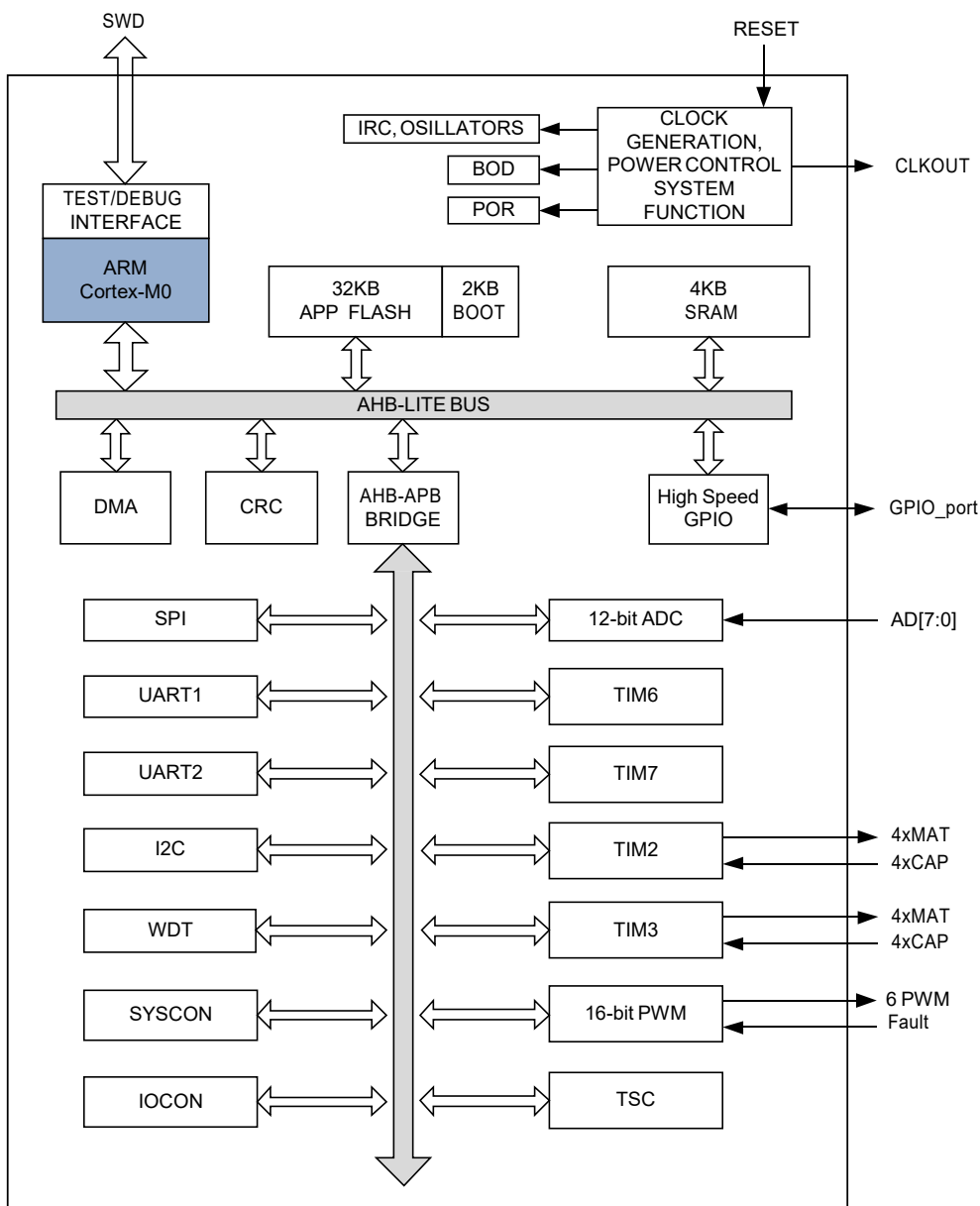


图 3 - 1 系统框图



扫码索取样片：



4 系统描述

4.1 ARM Cortex®-M0 内核

Cortex®-M0 处理器是 32 位可配置的多级流水线 RISC 处理器，内嵌 AMBA-Lite 接口和嵌套向量中断控制器（NVIC）。具有可选的硬件调试功能，可以执行 Thumb 指令，并与其它 Cortex®-M 系列兼容。它工作在两种模式：Thread 模式和 Handler 模式。当系统异常发生时，就进入 Handler 模式。从 Handler 模式返回时，执行异常返回。复位时系统进入 Thread 模式。Thread 模式也可由异常返回时进入。

下图展示了 Cortex®-M0 处理器的功能：

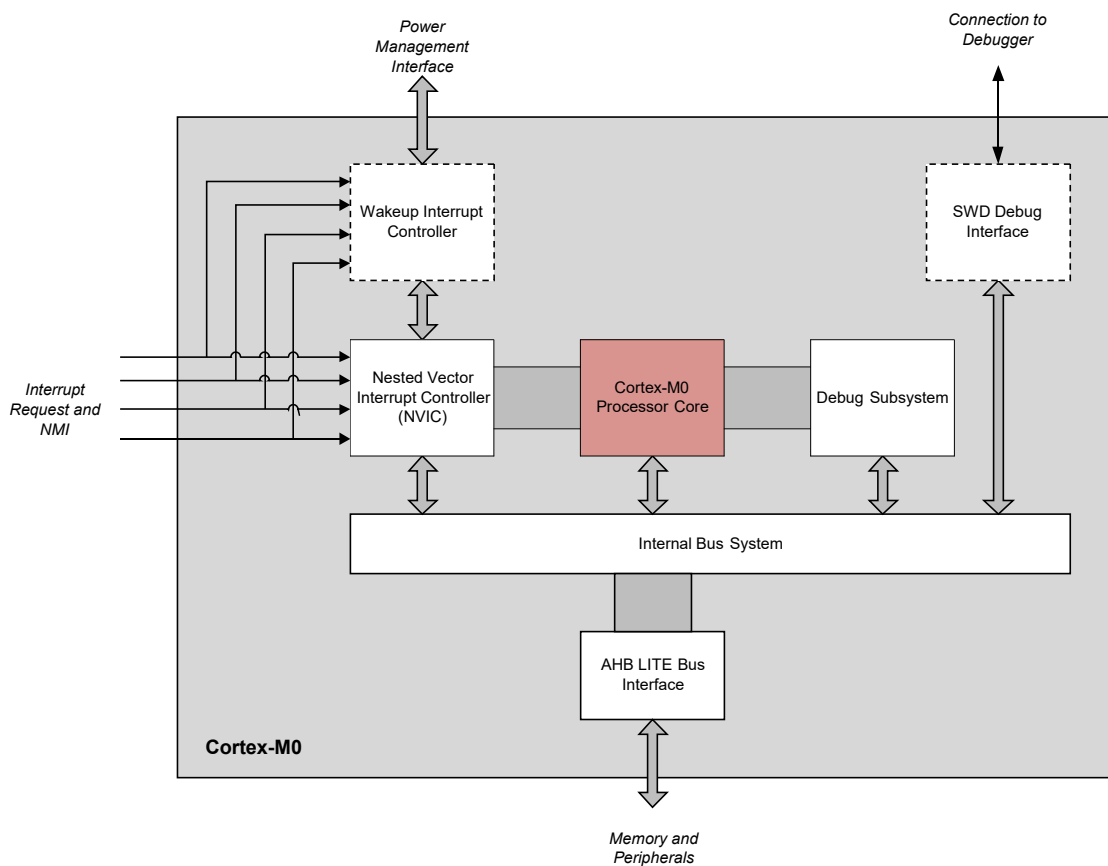


图 4-1 Cortex®-M0 内核模块图

ARM Cortex®-M0 处理器功能特征：

- ARMv6-M Thumb
- Thumb-2 技术



扫码索取样片:



- ARMv6-M 兼容 24 位 SysTick 定时器
- 32 位硬件乘法器
- 系统接口支持小端 (little-endian) 数据访问
- 准确而及时的中断处理能力
- 加载、存储多个数据和多周期乘法指令可被终止然后重新开始从而实现快速中断处理
- C 应用程序二进制接口的异常兼容模式 (C-ABI)。ARMv6-M 的模式允许用户使用纯 C 函数实现中断处理
- 使用中断唤醒 (WFI) 与事件唤醒 (WFE) 指令进入低功耗的休眠模式, 或者从中断退出休眠模式
- NVIC 特征
 - 32 个外部中断, 每个中断具有 4 级优先级
 - 专用的不可屏蔽中断 (NMI)
 - 同时支持电平和脉冲中断触发
 - 中断唤醒控制器 (WIC), 支持极低功耗休眠模式
- 调试支持
 - 四个硬件断点
 - 两个观察点
 - 用于非侵入式代码分析的程序计数采样寄存器 (PCSR)
 - 单步和向量捕获能力
- 总线接口
 - 提供简单的集成到所有系统外设和存储器的单一 32 位 AMBA-3 ABH-Lite 系统接口.
 - 支持 DAP(Debug Access Port)的单一 32 位的从机端口

4.2 内存映射

ZFM32F030 内存地址空间支持 4GB 大小。分为: 引导区, Flash 存储器区, SRAM 区, 系统自有外设区, APB 外设区和 AHB 外设区。系统自有外设区保留为 M0 内核所用。

AHB 外设区占据 2MB 大小空间。其中, GPIO 端口属于 AHB 外设。APB 外设区是一片 512KB 大小空间。每一个 APB 外设都分配 16KB 空间。所有外设控制寄存器读写都采用字 (word) 地址寻址, 用户不可以单独访问寄存器高位字节或低位字节。

引导区有 2KB 的空间用于存储引导程序。ZFM32F030 允许的用户 Flash 空间最大为 32KB, SRAM 空间最大为 4KB。Flash 和 SRAM 数据总线都采用 32 位操作方式。下图是 ZFM32F030 内存地址空间分配图:

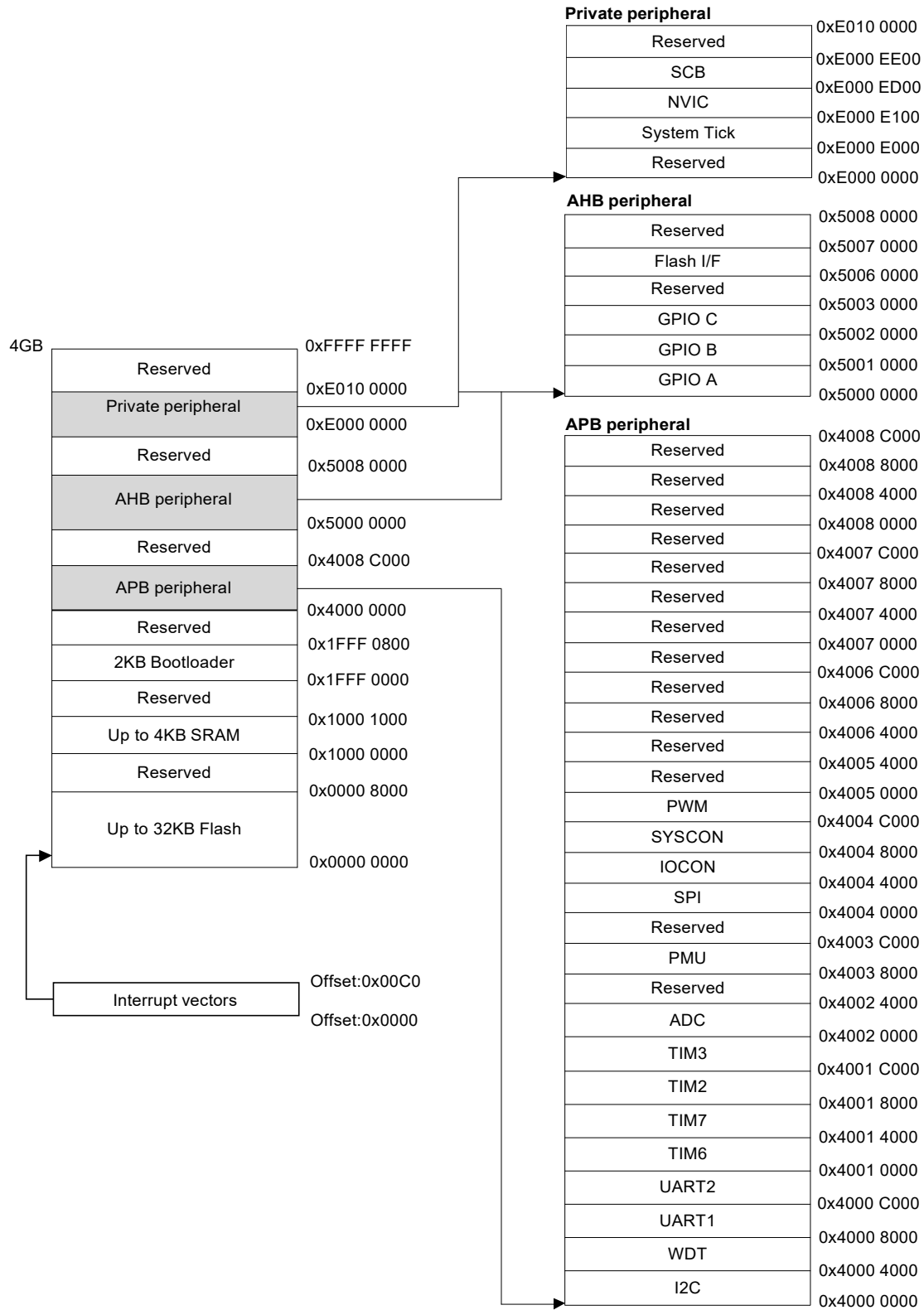


图 4-2 内存分配图



4.3 嵌套向量中断控制器(NVIC)

嵌套向量中断控制器(NVIC)是Cortex®-M0 内核的一部分。它可以让 CPU 以最短的时间对中断作出反应。主要的特征有:

- 较短的中断响应延迟
- 处理系统异常和外设中断
- 支持 32 个中断向量
- 四种可编程的中断响应优先级别
- 产生软件中断
- 可配置的不可屏蔽中断源(NMI)

下表列出所有系统和外设中断源。每一个外设可产生 1 到多个中断到中断向量控制器。每一个中断可能有多个中断源。

表 4-1 中断向量源和向量表

异常代码	IRQ 号	偏移地址	异常类型	优先级	描述
		0x00	SP 值		
1	-15	0x04	Reset	-3	最高级
2	-14	0x08	NMI	-2	
3	-13	0x0C	HardFault	-1	
10~4		0x10~0x28	保留		
11	-5	0x2C	SVCALL	可配置	
13~12		0x30~0x34	保留		
14	-2	0x38	PendSV	可配置	
15	-1	0x3C	SysTick	可配置	
16	0	0x40	唤醒中断	可配置	在停止模式下, PA0~PA11 产生的唤醒中断
17	1	0x44	PWM_Fault	可配置	PWM 故障中断
18	2	0x48	I ² C	可配置	I ² C 中断
19	3	0x4C	TIM6	可配置	匹配 0~3
20	4	0x50	TIM7	可配置	匹配 0~3
21	5	0x54	TIM2	可配置	匹配 0~3 捕捉 0~3
22	6	0x58	TIM3	可配置	匹配 0~3 捕捉 0~3
23	7	0x5C	UART1	可配置	TX FIFO 空/半空 RX FIFO 半满/满 接收奇偶校验错误 接收缓冲区溢出
24	8	0x60	UART2	可配置	TX FIFO 空/半空 RX FIFO 半满/满



					接收奇偶效验错误 接收缓冲区溢出
25	9	0x64	ADC	可配置	
26	10	0x68	WDT	可配置	看门狗中断(WDINT)
27	11	0x6C	BOD	可配置	掉电检测中断
28	12	0x70	PA	可配置	GPIOA 中断
29	13	0x74	PB	可配置	GPIOB 中断
30	14	0x78	PC	可配置	GPIOC 中断
31	15	-	保留	-	-
32	16	0x80	SPI	可配置	Tx FIFO 半空 Rx FIFO 半满 Rx 非空中断 Rx 满中断
33	17	0x84	PWM_Reload	可配置	PWM 重载中断
34~48	18~32	-	保留	-	-

4.4 系统复位

下列事件可以触发系统复位：

- 上电复位（POR）
- RESET#管脚复位信号（低电平）
- 看门狗超时复位
- 掉电检测复位（BOD）
- 软件复位

RESET#管脚是施密特触发（Schmitt trigger）输入管脚。一个有效的复位信号要求不低于 15us 的信号宽度。

复位可以由任意一个复位源引起，只要工作电压处于可用电平，就会启动 IRC 并保持有效。当外部复位无效后，此时振荡器运行，同时闪存控制器完成初始化。

当 POR 复位，BOD 复位，外部复位和看门狗复位发生后，下列初始化会被执行：

- 启动 IRC。经过 IRC 启动时间，IRC 提供系统稳定时钟输出。
- 执行在 ROM 区的引导程序。引导程序会对系统初始化然后跳入用户程序。当外部复位无效后，处理器执行映射到地址 0 的引导区程序，同时所有的处理器和外设寄存器都赋予初始值。

4.5 时钟控制

与其它 MCU 比较，ZFM32F030 具有非常灵活的时钟控制系统。用户可根据不同应用要求来配置时钟从而取得最高的性能及优化的能耗管理。下图为 ZFM32F030 的时钟系统概要图。

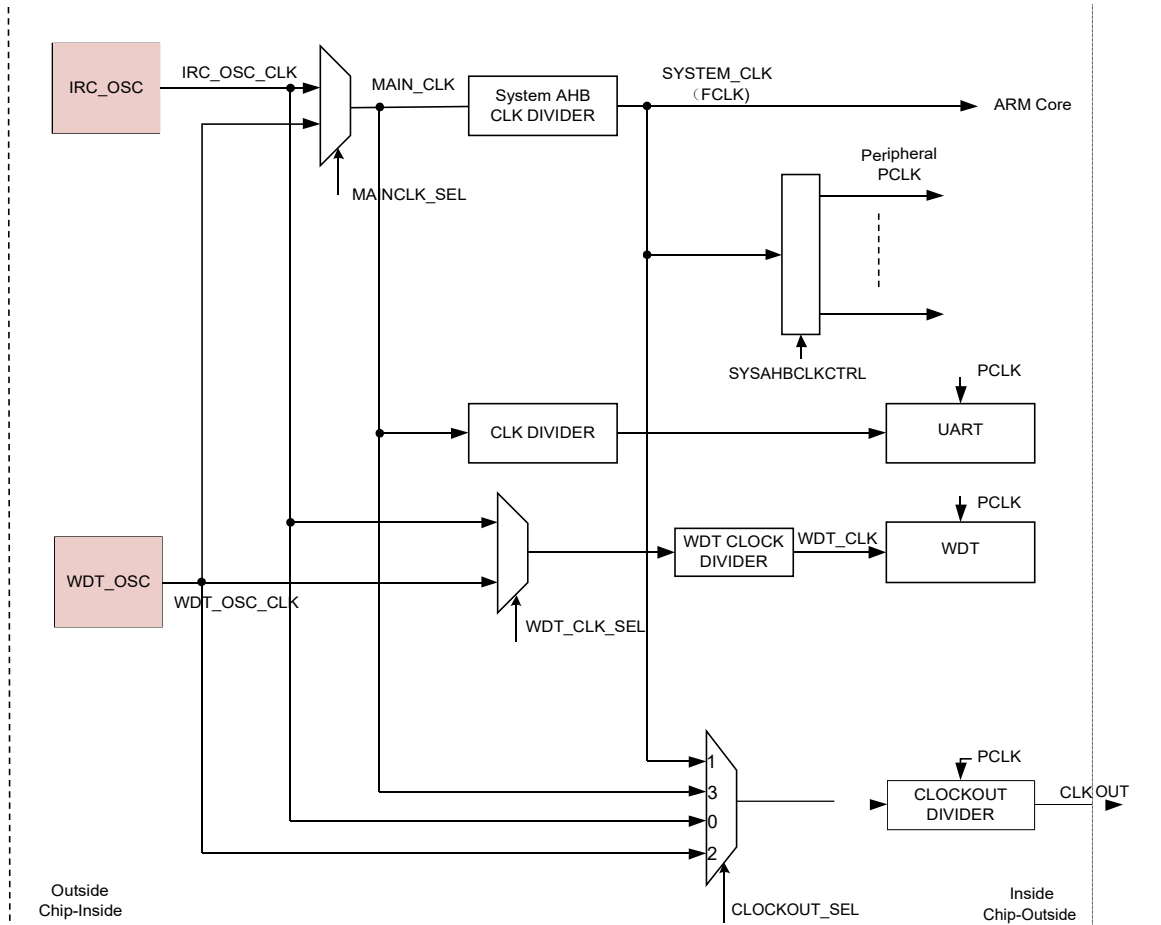


图 4-3 时钟树

系统复位后，ZFM32F030 会一直采用 IRC 时钟直到用户使用软件切换到其它的时钟源。这样，系统可以在没有外部晶振时以已知的频率执行引导程序。

SYSABCLKCTRL 寄存器用于内存及外设时钟供给控制。UART1/2 有自己独立的时钟分频器从主时钟（main clock）取得操作时钟。看门狗操作时钟可来自于 WDT 振荡器或主时钟（main clock）。主时钟（main clock），IRC，内部晶振及看门狗振荡器时钟都可从 CLKOUT 管脚输出。

4.6 I/O 复用配置

为实现管脚多路复用，ZFM32F030 为每一个管脚设计了一个 IOCON 配置寄存器用于对管脚功能定义。I/O 配置寄存器控制管脚的电气特性。可配置下列功能：

- 管脚功能
- 管脚模式：内部上拉/下拉/浮空
- 管脚驱动
- 可复用 ADC 模拟输入和数字逻辑功能
- IO 管脚抗干扰滤波



扫码索取样片：



5 外设描述

5.1 GPIO(通用输入/输出接口)

ZFM32F030 最多提供 27 个 GPIO 管脚（QFN32 封装）。主要功能如下：

- 数字管脚可以用软件配置为输入或输出
- 管脚读写可以被屏蔽
- 多个管脚的置 1/置 0 可用一条指令实现
- 管脚的输出取反
- 每个管脚都可输入外部中断信号
- 可对中断触发条件及中断优先级进行编程
- 复位后，所有 GPIO 管脚被配置为上拉输入

5.2 UART(通用异步收发器)

ZFM32F030 提供 2 个带 16 字节 FIFO 缓存器的 UART：UART1，UART2。每个 UART 有独立的时钟分频器使之不受系统时钟影响。

- UART 通讯采用的是固定的数据通讯格式：1 个起始位，8 个数据位，1 个停止位，奇偶校验可选，无硬件握手。
- 用户可以设置 BAUDDIV 寄存器的分频值去产生适用不同应用的波特率。

5.3 I2C 总线

I²C 是两线串行通信接口，与 I²C 总线兼容。可以支持主、从机两种模式的通信方式。主要功能如下：

- 兼容标准的 I²C 主从机工作模式
- 可编程的时钟频率，支持不同的 I²C 数据传输速率
- 支持从机工作模式下双向数据传输
- 串行时钟同步使得传输速率不同的器件能够通过一条串行总线进行通信
- 支持最高 400KHz 速率
- 可选择识别最多 4 个不同的从机地址

5.4 SPI(串行外设接口)

ZFM32F030 支持扩展的 SPI 接口。该接口允许许多主、从机总线模式，但同一时刻，只有一个主/从机在发送数据。数据传输支持 4 位到 16 位全双工模式。主要功能如下：

- 支持标准 SPI
- 支持同步串行通信
- 支持主/从机模式
- 支持 8 帧先进先出（FIFO）缓存器



- 每帧数据长度 4 位到 16 位

5.5 TIM(定时/计数器)

ZFM32F030 内置 2 个 16 位基本和 2 个 16 位通用定时/计数器。主要功能如下:

- 可预置分频的定时/计数器外, 通用定时/计数器还支持:
- 沿计数、门控计数、正交计数、触发计数、带符号计数
- 捕捉功能, 可触发中断和信号测量
- 4 个匹配寄存器, 可定时触发事件中断

5.6 PWM(脉冲宽度调制)模块

ZFM32F030 可提供独立事件驱动的 PWM (脉冲宽度调制)。PWM 模块可配置成 3 对互补输出, 6 个独立输出或互补和独立混合的 PWM 信号输出 (如 2 对互补输出, 2 个独立输出)。同时支持 0~100% 占空比的边沿对齐和中心对齐模式。

PWM 模块使用 16 位计数器, 它的精度在边沿对齐时是一个时钟周期, 中心对齐时是 2 个时钟周期。时钟周期由 PWM 时钟源 PWM_PCLK (系统时钟)、预分频寄存器以及模数值决定。

当 PWM 信号配置成互补输出时, PWM 具有自动死区插入功能。每一个 PWM 输出可被 PWM 发生器、系统定时器、ADC 转换结果、GPIO 输入以及软件控制。非对称的 PWM 还可以允许在每半个周期改变 PWM 占空比而不需要软件参与。

5.7 WDT(看门狗定时器)

看门狗定时器用于在用户程序出错并无法喂狗后对系统进行中断和复位处理。使用可编程的看门狗定时器, 用户可改变定时器时间去应对不同的应用程序。主要功能如下:

- 可灵活设定频率的看门狗振荡器时钟源
- 可触发中断或复位
- 支持低功耗模式

5.8 ADC(模拟/数字转换器)

ZFM32F030 支持 8 路 12 位的高分辨率的 ADC, 主要功能如下:

- 转换速率 1MHz, 精度 12 位
- 支持 8 个外部 A/D 通道采样转换
- 支持低功耗模式
- 测量范围为 0~VDDA
- 支持突发模式下的 A/D 转换
- 可配置 ADC 转换触发源: 软件触发 (Soft trigger), 定时器匹配/捕获触发, PWM 重载触发 (Reload trigger)
- 每个 ADC 有单独寄存器存储转换结果, 从而减少中断负担



5.9 TSC(触摸感应控制器)

ZFM32F030 通过检测内部 RC 振荡器频率的变化，来判断是否有手指触摸 PAD。使用内部生成的振荡器电路加载到触摸按键管脚上，当有触摸动作发生时，该对应管脚的振荡器频率会发生变化，内部数字检测电路检测到频率变化后，跟软件预设的值做比较，小于该预设值后，触发中断通知 CPU 该管脚有触摸动作，CPU 进入对应中断，执行中断服务程序。主要功能如下：

- 可测量最多 8 个管脚的容性负载触摸动作。
- 提供可选的外部电阻模式。通过调节外部电阻来提高抗噪声的能力，以适应 PAD 线的长短引起的环境变化。

功能框图如下：

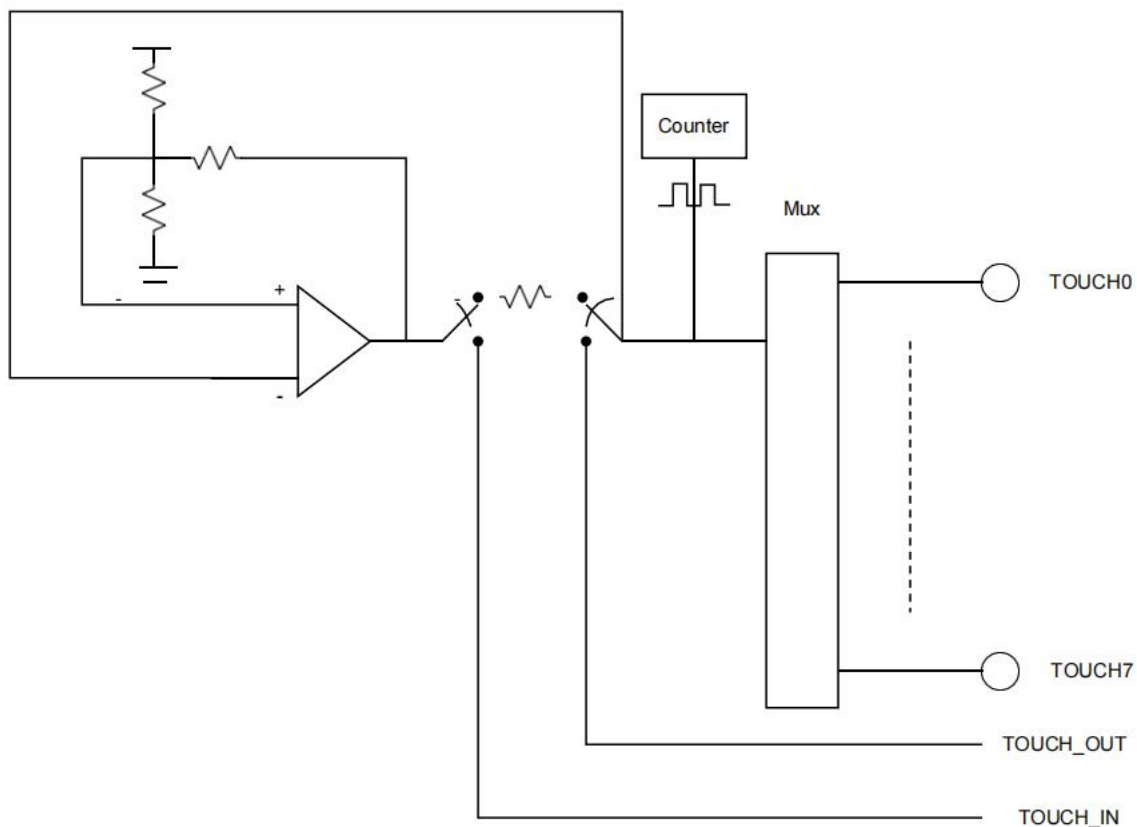


图 5-1 触摸按键检测



5.10 存储器

ZFM32F030 支持最大 32KB Flash 和 4KB SRAM 用户存储器空间。Flash 支持系统编程 (ISP) 和应用编程 (IAP) 两种编程方式。

用户可以通过 ZFM32F030 的 UART 或 I²C 接口调用 IAP 功能。

5.11 电源管理

ZFM32F030 支持多种功耗控制功能。在处理器正常工作模式下，可以对所选外设的电源和时钟进行优化，从而降低系统功耗。此外，处理器有两种低功耗模式：睡眠模式和停止模式。

5.11.1 睡眠模式

在睡眠模式下，ARM Cortex[®]-M0 内核的时钟和存储器均被关闭，所有的指令执行被挂起直到系统被重启或中断唤醒。外设时钟则由 SYSAHBCLKCTRL 寄存器控制并可以产生中断，从而唤醒 CPU 重启执行指令。在睡眠模式下可以减少由处理器、内存和内部总线产生的系统动态功耗。处理器的状态和寄存器、外设寄存器、内存数据以及管脚的逻辑状态在睡眠模式下保持不变。

芯片功耗要求：<1uA

1. 进入睡眠模式

可通过下列步骤进入睡眠模式：

- (1) 电源控制寄存器 PCON 中的 DPDEN 位清 0。
- (2) ARM Cortex[®]-M0 内核 SCR 寄存器中的 SLEEPDEEP 位清 0。
- (3) 调用 ARM Cortex[®]-M0 内核中的 WFI 指令。

2. 退出睡眠模式

- (1) 当中断发生或系统复位时，系统会自动从睡眠模式中唤醒。

5.11.2 停止模式

在停止模式下，处理器系统时钟 (system clock) 被关闭，同时模拟模块 LDO1(Main)、ADC、IRC(48MHz)、Touch 被 Powerdown。在停止模式下，系统可以最大限度减少由处理器、内存、外设、相关控制器及总线带来的动态功耗。处理器的状态和寄存器、外设寄存器、内存数据以及管脚的逻辑状态都保持不变。

1. 进入停止模式

可通过下列步骤进入停止模式：

- (1) 电源控制寄存器 PCON 中的 DPDEN 位清 0。
- (2) 配置 PDSLEEPCFG 寄存器。
- (3) 配置唤醒后电源配置寄存器 PDAWAKECFG。
- (4) 如需外设来唤醒系统，看门狗振荡器必须上电并用 MAINCLKSEL 寄存器把主时钟切换到看门狗时钟。
- (5) 在 SYSAHBCLKCTRL 寄存器中，关掉除 WDT 时钟以外的时钟。



扫码索取样片：



- (6) ARM Cortex[®]-M0 内核 SCR 寄存器中的 SLEEPDEEP 位置 1。
 - (7) 调用 ARM Cortex[®]-M0 内核中的 WFI 指令。
2. 退出停止模式

下列方法可以唤醒处于停止模式的处理器：

- (1) 外部管脚信号：PA0~PA11 可以作为停止模式唤醒的管脚。
- (2) 看门狗时钟中断唤醒。
- (3) BOD 复位信号：要使 BOD 复位信号工作，PDSLEEPCFG 寄存器中 BOD 使能和 BODCTRL 寄存器中复位使能必须打开。
- (4) 看门狗时钟复位。在这种情况下，看门狗振荡器需保持工作，并且 SYSAHBCLKCTR 寄存器中的 WDT 时钟使能也需要打开。
- (5) 外部复位（NRST）管脚。

5.12 SWD 调试口

ZFM32F030 提供 SWD 调试接口。主要功能如下：

- 可直接对所有存储器、寄存器和外设进行调试。
- 调试阶段不需要占用目标资源。
- 4 个指令断点，可以用于重映射代码补丁的指令地址。
- 2 个数据比较器，可用于将补丁的地址重映射到字面值。
- 2 个数据观察点，可用作跟踪触发器。



扫码索取样片:



6 电气规范

6.1 绝对最大额定值

表 6-1 绝对最大额定值表

名称	符号	最小	最大	单位
工作电压	V_{SS}	-0.3	-	V
	V_{DD}	+3.0	+5.5	V
	V_{DDA}	+3.0	+5.5	V
I/O 输入电压	V_{IN}	-3.0	+5.5	V
储存温度	T_S	-55	+150	°C
V_{DD} 引脚的最大输入电流	I_{DD}	-	50	mA
V_{SS} 引脚的最大输出电流	I_{SS}	-	50	mA
I/O 引脚的最大输入灌电流	-	-10	-	mA
I/O 引脚的最大输出拉电流	-	-	10	mA
静电防护电压	V_{ESD}	-	2000	V

6.2 电特性表

6.2.1 MCU 参数

表 6-2 MCU 电特性表

符号/名称	参数描述	测试条件	最小值	最大值	单位
V_{DD}	供电电压	I/O 管脚供电 (5V)	4.5	5.5	V
		I/O 管脚供电 (3.3V)	2.7	3.6	V
标准端口管脚					
I_{IL}	低电平输入电流	$V_I=0V$;	-5	20	μA
I_{IH}	高电平输入电流	$V_I=V_{DD}$	-20	5	μA
V_{IH}	高电平输入	-	$0.65V_{DD}$	-	V
V_{IL}	低电平输入	-	-	0.5	V
V_{OH}	高电平输出	5V, 在高驱动模式正常输出 $I_{Load}=12mA$ 在低驱动模式正常输出 $I_{Load}=6mA$	2.7	V_{DD}	V
		3.3V, 在高驱动模式正常输出 $I_{Load}=6mA$ 在低驱动模式正常输出 $I_{Load}=3mA$	2.7	V_{DD}	V
V_{OL}	低电平输出	5V, 在高驱动模式正常输出 $I_{Load}=12mA$ 在低驱动模式正常输出 $I_{Load}=6mA$	0	0.5	V
		3.3V, 在高驱动模式正常输出 $I_{Load}=6mA$ 在低驱动模式正常输出	0	0.5	V



扫码索取样片:



		出 $I_{Load}=3mA$			
I_{OH}	高电平输出电流	5V, 在高驱动模式正常输出 在低驱动模式正常输出	5 3	15 10	mA
		3.3V, 在高驱动模式正常输出 在低驱动模式正常输出	5 3	15 10	mA
I_{OL}	低电平输出电流	5V, 在高驱动模式正常输出 在低驱动模式正常输出	5 3	15 10	mA
		3.3V, 在高驱动模式正常输出 在低驱动模式正常输出	5 1	10 8	mA
R_{pup} R_{pdn}	上拉/下拉电阻 ^[1]	5V/3.3V, 设计保证	20	100	KOhm

注: [1]设计保证。

6.2.2 BOD 参数

表 6-3 BOD 参数表

符号/名称	参数描述	测试条件	A 组分组	最小值	最大值	单位
V_{th}	阈值电压	中断电压				
		插入中断	A1	2.68	2.70	V
		撤销中断	A2 A3	2.71	2.73	V
		复位电压				
		系统进入复位状态	A1	0	2.60	V
		系统退出复位状态	A2 A3	2.63	2.65	V

注: [1]设计保证。

6.2.3 ADC 参数

$T_A=-55^{\circ}C\sim+105^{\circ}C$; $V_{DD}=3.0V\sim5.5V$

表 6-4 ADC 参数表

符号/名称	参数描述	测试条件	最小值	最大值	单位
-	分辨率	-	10	12	Bit
V_{IA}	模拟输入电压	-	0	V_{DDA}	V
C_{in}	模拟输入容性阻抗 ^[8]	-	0	30	pF
DNL	微分线性误差 ^{[1][2][3]}	-	-1.0	1.5	LSB
INL	积分线性误差 ^{[1][4][5]}	-	-2.0	2.0	LSB
E_O	偏移误差 ^{[1][5][8]}	-	-3.0	3.0	LSB
E_G	增益误差 ^{[1][6]}	-	-	± 1.0	LSB
E_T	绝对值误差 ^{[1][7]}	-	-	3	LSB
CLK	时钟频率 ^[8]	-	0.6	16	MHz
t_{ADC}	转换时间 ^[8]	-	12	16	Clock



扫码索取样片：



$f_{C(ADC)}$	ADC 转换频率	-	0	1000	KSPS
--------------	----------	---	---	------	------

- 注：[1]测试条件： $V_{SS}=0V$, $V_{DD}=2.7V\sim 5.5V$ 。
 [2]ADC 传输函数具有单调性，没有丢码。
 [3]微分线性误差(DNL)定义为实际量化台阶与对应于 1LSB 的理想值之间的差异。
 [4]积分线性误差(INL)表示在所有的数值点上对应的模拟值和真实值之间误差最大的那一点的误差值，也就是输出数值偏离线性最大的距离。
 [5]偏移误差(E_O)指在实际和理想值两条线间的绝对误差。
 [6]增益误差(E_G)指在去掉偏移误差后，实际转换值和理想值两条线间的相对误差。
 [7]绝对误差(E_T)指没有经过校准的 ADC 实际转换值和理想值两条线间的最大误差。
 [8]设计保证。

6.2.4 Flash 参数

$T_A=-55^{\circ}C\sim +105^{\circ}C$; $V_{DD}=2.7V\sim 5.5V$

表 6-5 Flash 参数表

符号/名称	参数描述	测试条件	最小值	最大值	单位
t_{erase}	擦除时间	一个扇区(1 字节) ^[1]	4.5	5	ms
t_{prog}	编程时间	一个字(4 字节) ^[1]	18	20	μs
N_{cyc}	擦写次数寿命 ^[2]	-	8,000	100,000	次
t_{ret}	数据保持时间 ^[2]	-	8	10	年

- 注：[1]擦除和编程时间只在 Flash 正常的生命周期内有效。
 [2]设计保证。

6.2.5 SPI 参数

$T_A=-55^{\circ}C\sim +105^{\circ}C$

表 6-6 SPI 参数表

符号/名称	参数描述	测试条件	最小值	最大值	单位
$t_{cy}(clk)$	时钟周期	发送 ^[1]	500	10000	ns
		接收	500	10000	ns
SPI 主机					
t_{DS}	数据建立时间	SPI 模式 ^{[2][4][5]}	15	10000	ns
t_{DH}	数据保持时间	SPI 模式 ^{[2][4][5]}	1	10000	ns
$t_{V(Q)}$	数据输出有效时间	SPI 模式 ^{[2][4][5]}	0	10	ns
$t_{H(Q)}$	数据输出保持时间	SPI 模式 ^{[2][4][5]}	0	10000	ns
SPI 从机					
t_{DS}	数据建立时间	SPI 模式 ^{[3][4][5]}	4	10000	ns
t_{DH}	数据保持时间	SPI 模式 ^{[3][4][5]}	$3t_{cy}(PCLK)+4$	10000	ns
$t_{V(Q)}$	数据输出有效时间	SPI 模式 ^{[3][4][5]}	0	$3t_{cy}(PCLK)+5$	ns



扫码索取样片：



$t_{h(Q)}$	数据输出保持时间	SPI 模式 ^{[3][4][5]}	0	$3t_{cy(PCLK)}+5$	ns
------------	----------	-----------------------------	---	-------------------	----

注：[1] $t_{cy(clk)}$ 时钟周期由 SPI 的位频率推断出

[2] $T_{amb}=-55^{\circ}C\sim 105^{\circ}C$; $V_{DD(3V3)}=3.0V\sim 3.6V$; $V_{DD(I/O)}=3.0V\sim 3.6V$

[3] $t_{cy(clk)}=12t_{cy(PCLK)}$

[4] $T_{amb}=25^{\circ}C$; $V_{DD(3V3)}=3.3V$; $V_{DD(I/O)}=3.3V$

[5]设计保证

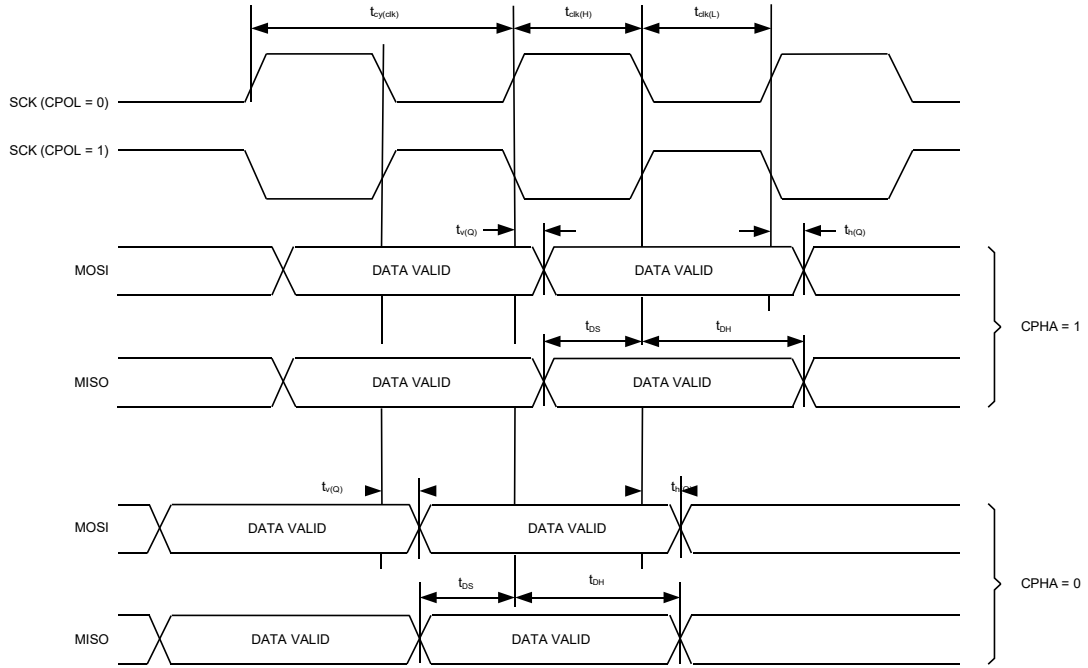


图 6-1 SPI 主机模式

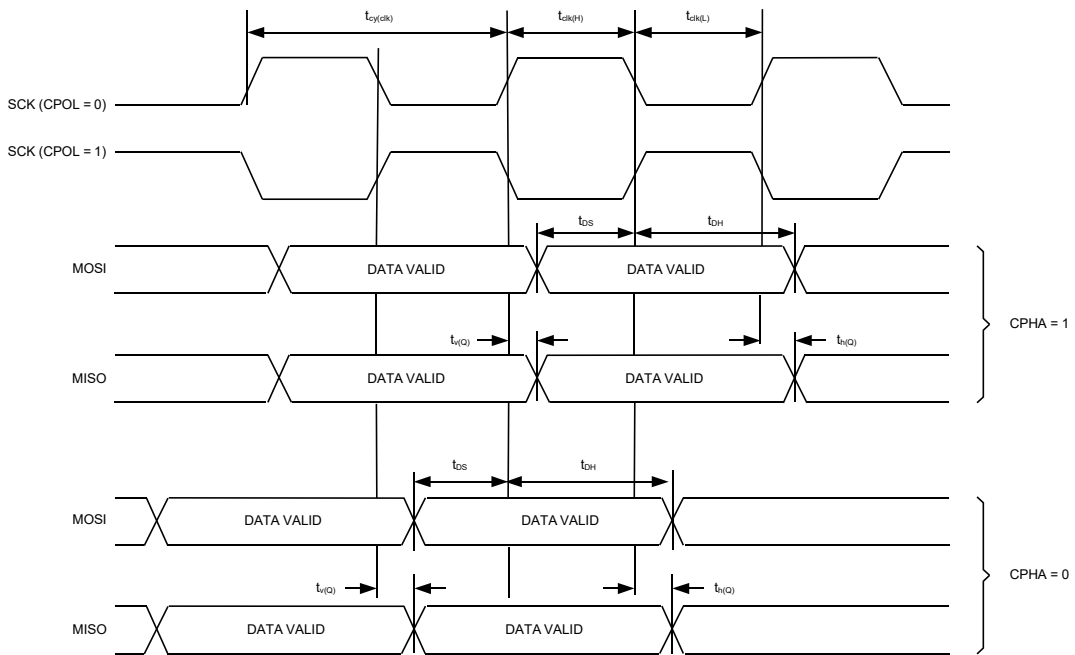


图 6-2 SPI 从机时序



6.2.6 I2C 参数

T_A = -55 °C ~ +105 °C

表 6 - 7 I2C 参数表

符号/名称	参数描述	测试条件	最小值	最大值	单位
f_{SCL}	SCL 时钟频率	-	0	1	MHz
t_f	下降沿时间 ^{[2][3][4][7]}	-	0	120	ns
t_{LOW}	SCL 时钟低电平时段	-	0.5	10000	μs
t_{HIGH}	SCL 时钟高电平时段	-	0.26	10000	μs
$t_{HD;DAT}$	数据保持时间 ^{[1][2][5][7]}	-	0	10000	ns
$t_{SU;DAT}$	数据建立时间 ^{[6][7]}	-	50	10000	ns

- 注：[1] $t_{HD;DAT}$ 是数据保持时间,从 SCL 的下降沿开始, 这个时间对数据传输和回复 (acknowledge) 都一样。
 [2] 在保证 SCL 信号 $V_{IH(min)}$ 情况下, 器件内部 SDA 信号至少 300ns 的保持时间来应对未定义的 SCL 下降沿时间。
 [3] C_b = 单条数据总线上总的容性负载, 单位是 pF。
 [4] 最大的 SDA 和 SCL t_f 时间为 300ns。但在 SDA 时间输出阶段, SDA 的 t_f 最大时间是 250ns。
 [5] 最大的 $t_{HD;DAT}$ 时间可以在 3.45s 和 0.9s 之间, 但必须小于最大的数据传输 $t_{VD;DAT}/t_{VD;ACK}$ 时间。
 [6] $t_{SU;DAT}$ 是相对于 SCL 上升沿的时间建立时间, 对数据传输和回复 (acknowledge) 都适用。
 [7] 设计保证。

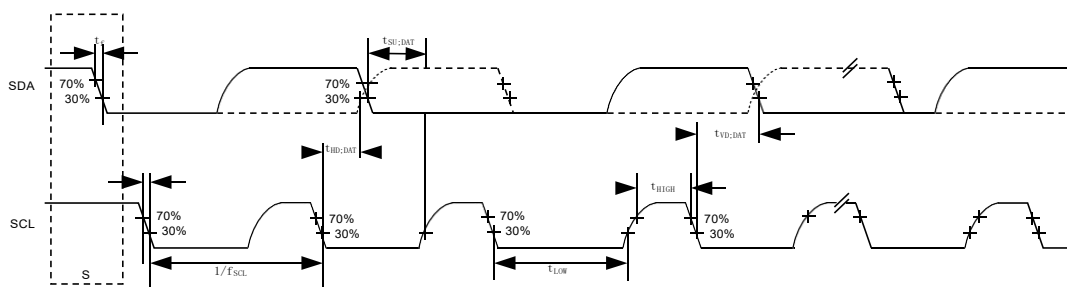


图 6-3 I2C 总线时序



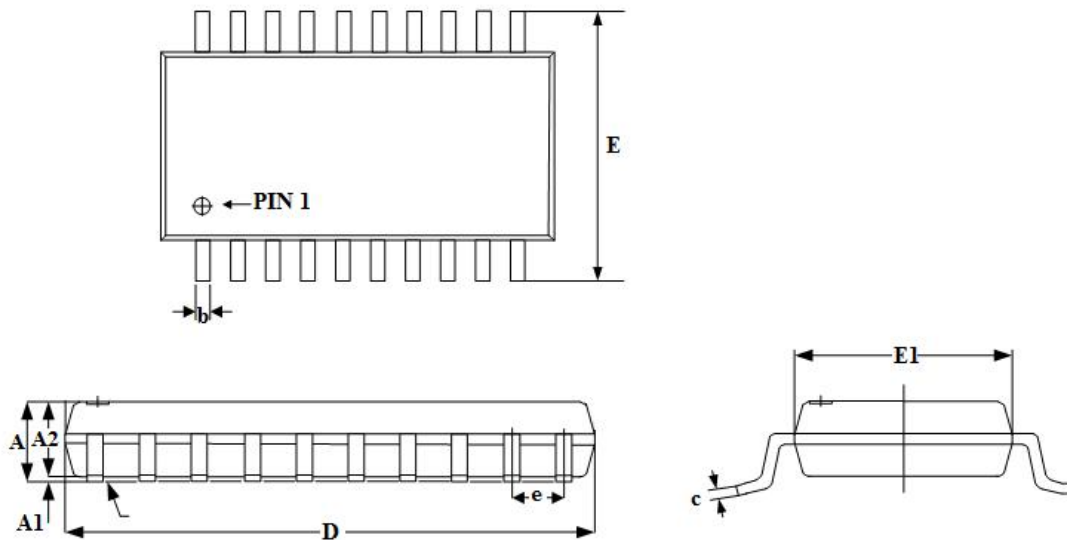
扫码索取样片：



7 封装尺寸

7.1 TSSOP20 封装

body $6.50 \times 6.40 \times 1.20\text{mm}$; $e=0.65$



尺寸符号	数值 (单位 : mm)		
	最小	公称	最大
A	-	-	1.2
A ₁	0.05	-	0.15
A ₂	0.80	1	1.05
b	0.19	-	0.30
c	0.09	-	0.20
D	6.40	6.50	6.6
E	6.20	6.40	6.60
E ₁	4.3	4.40	4.50
e	0.65		

图 7 - 1 TSSOP20 封装尺寸图

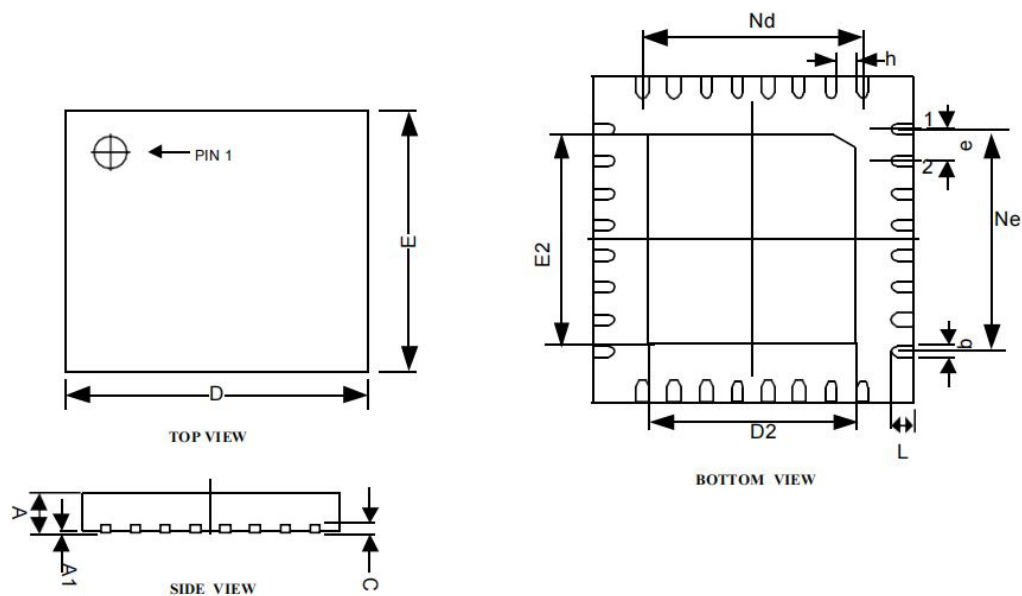


扫码索取样片：



7.2 QFN32 封装

body $5 \times 5 \times 0.75\text{mm}$



尺寸符号	数值 (单位 : mm)		
	最小	公称	最大
A	0.7	0.75	0.8
A_1		0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D_2	3.40	3.50	3.60
e		0.50	
N_e		3.50	
N_d		3.50	
E	4.90	5.00	5.10
E_2	3.40	3.50	3.60
L	0.35	0.40	0.45
H	0.25	0.30	0.35

图 7-2 QFN32 封装尺寸